

## 特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）  
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 380300454W01	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP2004/003767	国際出願日 (日.月.年) 19.03.2004	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl. <sup>7</sup> H01L25/10, H01L25/18, G06F13/16, G06F12/00, G06F 1/18, H05K 1/02		
出願人 (氏名又は名称) 株式会社 ルネサステクノロジ		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。	
2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。	
3. この報告には次の附属物件も添付されている。	
a	<input checked="" type="checkbox"/> 附属書類は全部で 4 ページである。
	<input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙（PCT規則70.16及び実施細則第607号参照）
	<input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
b	<input type="checkbox"/> 電子媒体は全部で _____ (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。（実施細則第802号参照）
4. この国際予備審査報告は、次の内容を含む。	
<input checked="" type="checkbox"/>	第I欄 国際予備審査報告の基礎
<input type="checkbox"/>	第II欄 優先権
<input type="checkbox"/>	第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
<input checked="" type="checkbox"/>	第IV欄 発明の単一性の欠如
<input checked="" type="checkbox"/>	第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
<input type="checkbox"/>	第VI欄 ある種の引用文献
<input type="checkbox"/>	第VII欄 国際出願の不備
<input type="checkbox"/>	第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 19.03.2004	国際予備審査報告を作成した日 07.03.2005	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 拓也	4R 9169
電話番号 03-3581-1101 内線 3469		

## 第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

☐ この報告は、\_\_\_\_\_ 語による翻訳文を基礎とした。

それは、次の目的で提出された翻訳文の言語である。

☐ PCT規則12.3及び23.1(b)にいう国際調査

☐ PCT規則12.4にいう国際公開

☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-43 \_\_\_\_\_ ページ、出願時に提出されたもの

第 \_\_\_\_\_ ページ\*、\_\_\_\_\_ 付けで国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ\*、\_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2-28, 30-36 \_\_\_\_\_ 項、出願時に提出されたもの

第 \_\_\_\_\_ 項\*、PCT19条の規定に基づき補正されたもの

第 1, 29 \_\_\_\_\_ 項\*、19.01.2005 付けで国際予備審査機関が受理したもの

第 \_\_\_\_\_ 項\*、\_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1/34-34/34 \_\_\_\_\_ ページ/図、出願時に提出されたもの

第 \_\_\_\_\_ ページ/図\*、\_\_\_\_\_ 付けで国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ/図\*、\_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ

☐ 請求の範囲 第 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

☐ 配列表(具体的に記載すること) \_\_\_\_\_

☐ 配列表に関連するテーブル(具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 \_\_\_\_\_ ページ

☐ 請求の範囲 第 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

☐ 配列表(具体的に記載すること) \_\_\_\_\_

☐ 配列表に関連するテーブル(具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

## 第IV欄 発明の単一性の欠如

1. 請求の範囲の減縮又は追加手数料の納付の求めに対して、出願人は、

- ☐ 請求の範囲を減縮した。
- ☐ 追加手数料を納付した。
- ☐ 追加手数料の納付と共に異議を申立てた。
- ☒ 請求の範囲の減縮も、追加手数料の納付もしなかった。

2. ☐ 国際予備審査機関は、次の理由により発明の単一性の要件を満たしていないと判断したが、PCT規則68.1の規定に従い、請求の範囲の減縮及び追加手数料の納付を出願人に求めないこととした。

3. 国際予備審査機関は、PCT規則13.1、13.2及び13.3に規定する発明の単一性を次のように判断する。

- ☐ 満足する。
- ☒ 以下の理由により満足しない。

(補充欄)に記載したように、請求の範囲1～36には、一群の発明を単一の一般的発明概念を形成するように連関されるための特別な技術的特徴は無い。よって、この国際出願の請求の範囲には、1～5及び29～36、6～17及び25～28、18～22、23～24に区分される4個の発明が記載されている。

4. したがって、国際出願の次の部分について、この報告を作成した。

- ☐ すべての部分
- ☒ 請求の範囲 1～5, 29～36 に関する部分

## 第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)	請求の範囲	1~5、29~36	有 無
	請求の範囲		
進歩性(IS)	請求の範囲	1~5、29~36	有 無
	請求の範囲		
産業上の利用可能性(IA)	請求の範囲	1~5、29~36	有 無
	請求の範囲		

## 2. 文献及び説明(PCT規則70.7)

- 文献1: J P 2001-177046 A (株式会社日立製作所) 2001.06.29  
【0023】-【0037】【0071】  
文献2: J P 2003-345480 A (株式会社日立製作所) 2003.12.05  
【0014】-【0025】【0033】  
文献3: J P 2000-183173 A (日本電気株式会社) 2000.06.30  
【請求項1】【0023】-【0043】  
文献4: J P 11-67970 A (富士通株式会社) 1999.03.09  
【0017】-【0034】

## 請求の範囲1~5、29~36

文献1には、ロジックチップ7のクロック入力端子CKOTとメモリチップ3~6のクロック入力信号端子CKINとの配線距離を等長に配線する技術が記載されている。

文献2には、プリント基板上の複数の半導体チップ11、14を結ぶ複数の配線の配線長を等しくする技術が記載されている。

文献3には、BGA内配線の配線長、プリント配線基板の配線長、ボンディングワイヤの配線長を取り込んで配線の設計を行う技術が記載されている。

文献4には、半導体装置を搭載するパッケージ基板の複数の配線長を等しくする技術が記載されている。

しかし、国際調査報告で列記した文献には、第1の半導体装置の複数ビットの外部端子と第2の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線を有するものであり、「実装基板配線の不等長は組立て用配線の不等長を相殺する関係を有する」ことは、記載も示唆もされていない。

## 補充欄

いずれかの欄の大きさが足りない場合

## 第 IV.3 欄の続き

I. 請求の範囲 1～5 及び 29～36 は、第 1 の半導体装置の複数ビットの外部端子と第 2 の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線を有するものであり、「実装基板配線の不等長は組立て用配線の不等長を相殺する関係を有する」ことを特徴とする発明である。

II. 請求の範囲 6～17 及び 25～28 は、パッケージ基板が、「半導体チップのパッド電極との接続に利用される第 1 導電層、グランドプレーンに利用される第 2 導電層、電源プレーンに利用される第 3 導電層、及び実装基板との接続に利用される第 4 導電層を含」むことを特徴とする発明である。

III. 請求の範囲 18～22 は、実装基板に複数の半導体メモリ装置と前記半導体メモリ装置をアクセス制御可能な半導体制御装置とを有する電子回路に係る技術であつて、「実装基板は前記半導体メモリ装置と前記半導体制御装置とを接続する配線を総端抵抗を介して終端させる為の終端電源の電源プレーンを有し、前記半導体制御装置よりも前記半導体メモリ装置が前記終端電源の電源プレーン寄りに実装され、前記終端電源の電源プレーンに、前記配線に接続する終端抵抗と前記終端抵抗寄りに配置された第 1 の安定化容量とが複数個分散して接続され、前記終端電源の電源プレーンには終端電源を供給する供給端に対して当該電源プレーンの遠端部に前記第 1 の安定化容量よりも大きな第 2 の安定化容量が接続され」ることを特徴とする発明である。

IV. 請求の範囲 23～24 は、半導体チップとして、フェース・ロックド・ループ回路又はディレイ・ロックド・ループ回路を有しており、「第 1 導電層は、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路に電源を供給する電源配線と、前記フェーズ・ロックド・ループ回路又はディレイ・ロックド・ループ回路にクロック信号を供給するクロック配線とを有し、前記電源配線とクロック配線は第 1 導電層における配線の最小間隔寸法よりも大きな間隔で離間される」ことを特徴とする発明である。

上記 I、II、III、IV で纏められる発明群は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するようにに関連しているものとは認められない。よって、この国際出願の請求の範囲には、1～5 及び 29～36、6～17 及び 25～28、18～22、23～24 に区分される 4 個の発明が記載されている。

## 請 求 の 範 囲

1. (補正後) 実装基板に第1の半導体装置と第2の半導体装置を有する電子回路であって、

5 前記第1の半導体装置は、複数ビットの外部端子を有し、

前記第2の半導体装置は、複数ビットの外部端子と、複数の接続電極を持つ半導体チップと、前記第2の半導体装置の複数ビットの外部端子と前記半導体チップの複数の接続電極とを接続する組み立て用配線とを有し、

10 前記実装基板は前記第1の半導体装置の複数ビットの外部端子と前記第2の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線を有し、

前記実装基板配線は、前記第1の半導体装置の外部端子から前記第2の半導体装置の外部端子までの長さがビット毎に不等長であり、

15 前記第2の半導体装置の前記組立て用配線の長さがビット毎に不等長であり、

前記実装基板配線の不等長は前記組立て用配線の不等長を相殺する関係を有する、電子回路。

2. 前記第1の半導体装置はシンクロナスメモリであり、

20 前記第2の半導体装置はシンクロナスメモリをアクセス制御可能なデータプロセッサであり、

前記データプロセッサは前記実装基板配線を介してシンクロイナスメモリとの間で複数ビットのアクセスデータの並列入出力を行なう、請求の範囲第1項記載の電子回路。

25 3. 前記シンクロナスメモリの複数ビットの外部端子はデータ入出力タイミングがクロック信号に同期され、前記データプロセッサは前記シン

クロナスメモリから出力される前記クロック信号に同期して前記シンクロナスメモリから出力されるデータを取り込む、請求の範囲第2項記載の電子回路。

- 5 4. 前記第2の半導体装置はパッケージ基板に前記外部端子として多数のソルダボール電極が複数列で環状に配置されたパッケージ構造を

29. (補正後) 実装基板に第1の半導体装置と第2の半導体装置を有する電子回路であって、

前記第1の半導体装置は、複数ビットの外部端子を有し、

5 前記第2の半導体装置は、複数ビットの外部端子と、複数の接続電極を持つ半導体チップと、前記第2の半導体装置の複数ビットの外部端子と前記半導体チップの複数の接続電極とを接続する組み立て用配線とを有し、

10 前記実装基板は前記第1の半導体装置の複数ビットの外部端子と前記第2の半導体装置の複数ビットの外部端子にビット対応で共通接続される複数の実装基板配線を有し、

前記実装基板配線は、前記第1の半導体装置の外部端子から前記第2の半導体装置の外部端子までの長さがビット毎に不等長であり、

前記第2の半導体装置の前記組み立て用配線の長さがビット毎に不等長であり、

15 前記実装基板配線の不等長は前記組み立て用配線の不等長を相殺する関係を有する、電子回路。

30. 前記半導体チップは、所定のパッド電極から与えられる参照電位を用いて判定動作を行なう判定回路を含み、

20 前記パッケージ基板は、半導体チップのパッド電極との接続に利用される第1導電層、グランドプレーンに利用される第2導電層、電源プレーンに利用される第3導電層、及び実装基板との接続に利用される第4導電層を含み、

25 前記第3導電層は、前記判定回路に接続する電源プレーンと前記参照電位の配線とを含み、前記参照電位の配線は前記電源プレーンに取り囲まれて配置された、請求の範囲第29項記載の半導体装置。

31. 前記グランドプレーンと電源プレーンは、半導体装置に配列され



た外部端子の1ピッチ以上の幅をもってビアホール又はスルーホールが貫通されていない特定領域を有する、請求の範囲第30項記載の電子回路。

- 5 32. 前記第1の半導体装置は複数の半導体メモリ装置であり、前記第2の半導体装置は前記半導体メモリ装置をアクセス制御可能な半導体